

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2003 EPO. All rts. reserv.

13033699

Basic Patent (No,Kind,Date): JP 8110530 A2 19960430 <No. of Patents: 002>

ACTIVE MATRIX DISPLAY DEVICE (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): KOYAMA JUN; KAWASAKI YUJI

IPC: *G02F-001/136; G02F-001/133; H01L-029/786

CA Abstract No: *125(06)072112K; 125(06)072112K

Derwent WPI Acc No: *G 96-265004; G 96-265004

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 8110530	A2	19960430	JP 94270367	A	19941007 (BASIC)
US 5903249	A	19990511	US 538016	A	19951002

Priority Data (No,Kind,Date):

JP 94270367 A 19941007

Patent Abstracts of Japan

PUBLICATION NUMBER : 08110530
PUBLICATION DATE : 30-04-96

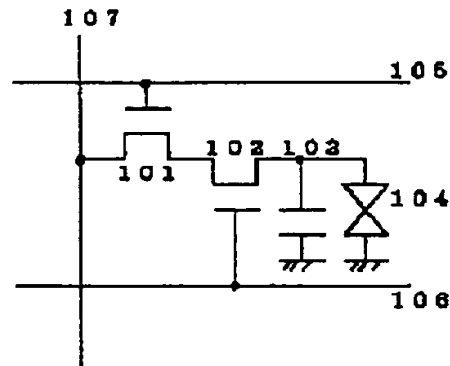
APPLICATION DATE : 07-10-94
APPLICATION NUMBER : 06270367

APPLICANT : SEMICONDUCTOR ENERGY LAB CO
LTD;

INVENTOR : KAWASAKI YUJI;

INT.CL. : G02F 1/136 G02F 1/133 H01L 29/786

TITLE : ACTIVE MATRIX DISPLAY DEVICE



ABSTRACT : **PURPOSE:** To reduce an off current and to improve picture quality of a display picture by connecting thin film transistors connected in series to a pixel electrode, ANDing the on mode of the thin film transistors with different waveforms and driving the pixel electrode.

CONSTITUTION: The thin film transistors 101, 102 connected in series to one side electrode of a pixel cell 104 are connected to different gate signal lines 105, 106 adjacent to each other, and the source of the thin film transistor 101 is connected to an image signal line 107. Further, the other electrodes of the pixel cell 104 and a capacitor 103 connected to the drain of the thin film transistor 102 are connected to a prescribed potential. Then, respective signals of scanning lines applied to the gate electrodes of the thin film transistors 101, 102 are waveforms of which timing are different from each other, and the pixel electrode is driven by ANDing the on mode of the thin film transistors 101, 102 driven by respective signals of these scanning lines. Respective signals applied at this time are preferred to shift by a time uniformly divided by the number of thin film transistors.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-110530

(43) 公開日 平成8年(1996)4月30日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
1/133	5 5 0			
H 0 1 L 29/786		9056-4M	H 0 1 L 29/ 78	6 1 2 B
審査請求 未請求 請求項の数15 F D (全 8 頁)				

(21) 出願番号 特願平6-270367

(22) 出願日 平成6年(1994)10月7日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 河崎 祐司

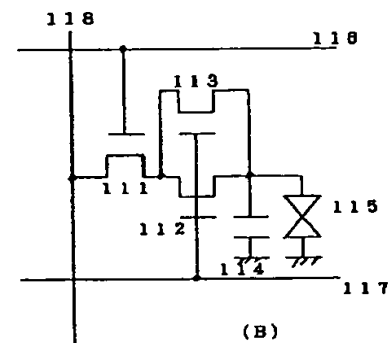
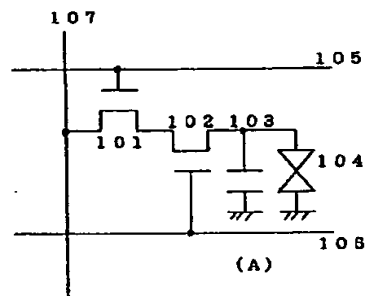
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【目的】 ポリシリコン薄膜トランジスタを使用したアクティブマトリクス液晶表示装置において、薄膜トランジスタのオフ電流の影響を少なくし、画質の向上をはかる。

【構成】 一つの画素電極に複数の直列接続した薄膜トランジスタを配置し、それぞれの薄膜トランジスタのゲート端子に異なる信号を印加し、直列接続した薄膜トランジスタがすべてオンしたときに画素に信号を書き込む。



【特許請求の範囲】

【請求項1】 アクティブマトリクス型表示装置において、ガラス基板上にマトリクス状に配置された画素電極を有し、前記画素電極には薄膜トランジスタが接続され、1個の画素電極に対して複数の直列接続した駆動用薄膜トランジスタを接続し、前記各駆動用薄膜トランジスタのゲート電極に印加する走査線の各信号は各々タイミングの異なる波形で、前記走査線の各信号で駆動される前記各駆動用薄膜トランジスタのON状態のANDをとることによって画素電極を駆動することを特徴とするアクティブマトリクス型表示装置。

【請求項2】 請求項1において、各駆動用薄膜トランジスタに印加する各信号は、1個の画素電極に直列に接続される駆動用薄膜トランジスタの数で均等に分割した時間分ずれていることを特徴とするアクティブマトリクス型表示装置。

【請求項3】 請求項1において、画素電極に接続する薄膜トランジスタのチャンネルの両端にLDD領域を設けたことを特徴とするアクティブマトリクス型表示装置。

【請求項4】 請求項1において、画素電極に接続する薄膜トランジスタのチャンネルの両端にオフセット領域を設けたことを特徴とするアクティブマトリクス型表示装置。

【請求項5】 請求項1において、直列接続した薄膜トランジスタのドレインとソースの接続点を交流接地点との間に少なくとも1個の容量素子を形成したことを特徴とするアクティブマトリクス型表示装置。

【請求項6】 アクティブマトリクス型表示装置において、ガラス基板上にマトリクス状に配置された画素電極を有し、前記画素電極には薄膜トランジスタが接続され、1個の画素電極に対して複数の直列接続した駆動用薄膜トランジスタを接続し、そのうち少なくとも1個の前記駆動用薄膜トランジスタに少なくとも1個の薄膜トランジスタを並列に接続し、なおかつそれ以外の前記各駆動用薄膜トランジスタのゲート電極に印加する走査線の各信号は各々タイミングの異なる波形で、前記走査線の各信号で駆動される前記各駆動用薄膜トランジスタのON状態のANDをとることによって画素電極を駆動することを特徴とするアクティブマトリクス型表示装置。

【請求項7】 請求項6において、各駆動用薄膜トランジスタに印加する各信号は、1個の画素電極に直列に接続される駆動用薄膜トランジスタの数で均等に分割した時間分ずれていることを特徴とするアクティブマトリクス型表示装置。

【請求項8】 請求項6において、画素電極に接続する薄膜トランジスタのチャンネルの両端にLDD領域を設けたことを特徴とするアクティブマトリクス型表示装置。

【請求項9】 請求項6において、画素電極に接続する薄膜トランジスタのチャンネルの両端にオフセット領域を設けたことを特徴とするアクティブマトリクス型表示装

置。

【請求項10】 請求項6において、直列接続した薄膜トランジスタのドレインとソースの接続点を交流接地点との間に少なくとも1個の容量素子を形成したことを特徴とするアクティブマトリクス型表示装置。

【請求項11】 アクティブマトリクス型表示装置において、ガラス基板上にマトリクス状に配置された画素電極を有し、前記画素電極には薄膜トランジスタが接続され、1個の画素電極に対して複数の駆動用薄膜トランジスタを接続し、そのうち少なくとも1個の前記駆動用薄膜トランジスタを常時ON状態にし、なおかつそれ以外の前記各駆動用薄膜トランジスタのゲート電極に印加する走査線の各信号は各々タイミングの異なる波形で、前記走査線の各信号で駆動される前記各駆動用薄膜トランジスタのON状態のANDをとることによって画素電極を駆動することを特徴とするアクティブマトリクス型表示装置。

【請求項12】 請求項11において、各駆動用薄膜トランジスタに印加する各信号は、1個の画素電極に直列に接続される駆動用薄膜トランジスタの数で均等に分割した時間分ずれていることを特徴とするアクティブマトリクス型表示装置。

【請求項13】 請求項11において、画素電極に接続する薄膜トランジスタのチャンネルの両端にLDD領域を設けたことを特徴とするアクティブマトリクス型表示装置。

【請求項14】 請求項11において、画素電極に接続する薄膜トランジスタのチャンネルの両端にオフセット領域を設けたことを特徴とするアクティブマトリクス型表示装置。

【請求項15】 請求項11において、直列接続した薄膜トランジスタのドレインとソースの接続点を交流接地点との間に少なくとも1個の容量素子を形成したことを特徴とするアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス型表示装置の表示画面の画質向上をはかるアクティブマトリクス表示装置に関する。

【0002】

【従来の技術】 図2にアクティブマトリクス表示装置の従来例の概略図を示す。図中の破線で囲まれた領域(204)が表示領域であり、その中に薄膜トランジスタ(201)がマトリクス状に配置されている。前記薄膜トランジスタ(201)のソース電極に接続している配線が画像(データ)信号線(206)であり、前記薄膜トランジスタ(201)のゲート電極に接続している配線がゲート(選択)信号線(205)である。

【0003】 ここで、駆動素子について着目すると、前記薄膜トランジスタ(201)はデータのスイッチング

を行い、画素セル(203)を駆動する。容量(202)は、コンデンサで画像データの保持用として用いられる。前記薄膜トランジスタ(201)は画素に印加する電圧の画像データをスイッチングするのに用いられる。薄膜トランジスタのゲート電圧を V_{GS} 、ドレイン電流を I_D とすると、図3に示すような $V_{GS}-I_D$ の関係になる。即ちゲート電圧 V_{GS} が前記薄膜トランジスタのOFFの領域で、 I_D が大きくなる。これをOFF電流という。

【0004】Nチャネル型薄膜トランジスタの場合、 V_{GS} を負にバイアスした時のOFF電流は、半導体薄膜の表面に誘起されるP型層と、ソース領域及びドレイン領域のN型層との間に形成されるPN接合を流れる電流により規定される。そして、半導体薄膜中には多くのトラップが存在するため、このPN接合は不完全であり接合リーク電流が流れやすい。ゲート電極を負にバイアスするほどOFF電流が増加するのは半導体薄膜の表面に形成されるP型層のキャリア濃度が増加してPN接合のエネルギー障壁の幅が狭くなるため、電界の集中が起こり、接合リーク電流が増加することによるものである。

【0005】このようにして生じるOFF電流は、ソース/ドレイン電圧に大きく依存する。例えば、薄膜トランジスタのソース/ドレイン間に印加される電圧が大きくなるにしたがって、OFF電流が飛躍的に増大することが知られている。すなわち、ソース/ドレイン間に5Vの電圧を加えた場合と10Vの電圧を加えた場合とでは、後者のOFF電流は前者の2倍ではなく、10倍にも100倍にもなる場合がある。また、このような非線形性はゲート電圧にも依存する。一般にゲート電極の逆バイアスの値が大きい場合(Nチャネル型では、大きなマイナス電圧)には、両者の差が著しくなる。

【0006】従来のXシフトレジスタの回路図を図4

(A)に示す。前記Xシフトレジスタは、アクティブマトリクス型表示装置の画素電極を駆動する薄膜トランジスタのゲート電極のON/OFFのタイミングを作成する回路である。図4(A)からも明らかなようにフリップフロップで構成されるシフトレジスタの出力信号は図4(B)のようになり、前記出力信号を隣接する信号同士のANDをとることにより、アクティブマトリクス型表示装置の各行の薄膜トランジスタごとに順番にON状態になる信号図4(C)のようになる。

【0007】

【発明が解決しようとする課題】本発明の主旨は、OFF電流を低減させる構造を有する薄膜トランジスタを提供することである。この時、薄膜トランジスタに要求される特性は、ON状態にした時、補助容量を充電するために十分な電流を流すことが可能であることと、OFF状態にした時、極力電流が流れないことである。図3に示すように V_{GS} が薄膜トランジスタのOFFになる領域において、ドレイン電流が増加することは、OFF電流

がゲート電圧依存性があることを表し、薄膜トランジスタの特性として好ましくない。OFF電流を減少させることは、薄膜トランジスタの特性向上に寄与し、アクティブマトリクス型表示装置の性能向上につながる。その理由は画素を駆動するだけの電荷を容量が蓄えているが、OFF電流が大きいと容量が放電し、蓄えられている電荷が変化し画素で表示すべき画像データが壊れてしまうことになるからである。

【0008】

【課題を解決するための手段】本発明の基本的な思想は、図1(A)に示すように、直列に接続された薄膜トランジスタ(101)、(102)を設けることによって、特に画素電極の薄膜トランジスタ(102)のソース/ドレイン間に現れる電圧を低下させ、よって薄膜トランジスタ(102)のOFF電流を低減させることである。

【0009】これは物性的に次のように説明される。薄膜トランジスタがON状態では、半導体薄膜の表面にはチャンネルが形成されるため、ソースからドレインに向けてほぼ均一な電位勾配が生じているためにどのようにチャンネルを分割してもドレイン電流は変化しない。一方薄膜トランジスタがOFFの状態では、前述の通りドレイン近傍のPN接合にほとんどの電界が集中しているため、薄膜トランジスタを分割することにより個々のPN接合に加わる電界集中を弱めることができ、接合リーク電流すなわちOFF電流を減少させることができる。

【0010】具体的な動作について述べると、本発明で使用するXシフトレジスタは図5(A)に示すように、従来のシフトレジスタ図4(A)と比較してAND回路を削除したものである。図5(B)に示すように、時間 T_1 では出力 G_1 が'H'レベル、出力 G_2 が'L'レベルになり、ゲート信号線(105)と(106)に選択信号が送られた時に、薄膜トランジスタ(101)はON状態になり、薄膜トランジスタ(102)はOFF状態になる。時間 T_2 では出力 G_1 が'H'レベル、出力 G_2 が'H'レベルになり、ゲート信号線(105)と(106)に選択信号が送られた時に、薄膜トランジスタ(101)と(102)はON状態になり、画像信号線(107)の信号に応じて、容量(103)、画像セル(104)が充電される。十分に充電がなされた(平衡)段階では、薄膜トランジスタ(101)と(102)のソース/ドレイン間の電圧はほぼ等しい状態となる。

【0011】時間 T_3 では、出力 G_1 が'L'レベル、出力 G_2 が'H'レベルになり、ゲート信号線(105)と(106)に選択信号が送られた時に、薄膜トランジスタ(101)はOFF状態になり、薄膜トランジスタ(102)はON状態になる。この時、画素セル(104)へは、画像信号線(107)の信号は印加されない。そして、薄膜トランジスタ(101)は有限の

OFF電流があり、薄膜トランジスタ(102)はON状態であるので、容量(103)に充電された電荷がオフ電流の分だけ放出され、電圧が低下する。しかし、時間 T_4 では、出力 G_1 と G_2 が‘L’レベルになり、ゲイト信号線(105)と(106)に選択信号が送られた時に、薄膜トランジスタ(101)と(102)はOFF状態になる。そして、薄膜トランジスタ(101)と(102)は有限のOFF電流があり、容量(103)に充電された電荷が放出され、電圧が低下することになる。時間 T_3 と T_4 で個々の薄膜トランジスタを流れるOFF電流を比較すると、 T_3 の場合は1個の薄膜トランジスタ(101)がOFF状態で接続していることと同様であるため、2個の薄膜トランジスタがOFF状態で接続している T_4 の場合の方が小さいOFF電流が流れることになる。表示装置の動作としては、 T_3 の状態よりも T_4 の状態の時間の方がずっと大きいので、オフ電流は薄膜トランジスタが1つの場合よりも大幅に改善される。

【0012】さらに本発明に使用される薄膜トランジスタは、チャンネルにLDD領域またはオフセット領域を持つと効果が上がる。それは、LDD領域またはオフセット領域が抵抗成分となり、電位降下を引き起こし電界を弱め、OFF電流の低減の一助になるからである。

【0013】

【実施例】

【実施例1】図1(A)は1個の画素セル(104)の一方の電極に薄膜トランジスタを2個接続したアクティブマトリクス型表示方式の例を示す。薄膜トランジスタはすべてNチャンネル型とするが、Pチャンネル型でも同様である。むしろ、低温形成の結晶性シリコン半導体を用いた薄膜トランジスタにおいては、Pチャンネル型の方が、OFF電流が小さく、劣化しにくいという特徴がある。2個の薄膜トランジスタ(101)と(102)はそれぞれ隣合った異なるゲイト信号線に接続される。また、薄膜トランジスタ(101)のソースは画像信号線に接続されている。

【0014】画素セル(104)と容量(103)は薄膜トランジスタ(102)のドレインに接続する。そして、画素セル(104)と容量(103)の他の電極は設置単位に接続すればよい。なお、画素セル(104)の容量が十分であれば、容量(103)はなくてもよい。

【0015】図1(A)の動作について説明する。まず2個の薄膜トランジスタ(101)と(102)のゲイト電極に‘H’レベルの電圧が印加され、前記薄膜トランジスタがON状態になる。そして、前記薄膜トランジスタ(101)のソースには画像信号に応じた電流が流れ、前記薄膜トランジスタ(101)のドレインに接続している薄膜トランジスタ(102)のソースからドレインに電流が流れ、容量(103)および画素セル(1

04)を充電する。

【0016】次に、薄膜トランジスタ(101)のゲイト電極に‘L’レベルの電圧が印加され、薄膜トランジスタ(102)のゲイト電極に‘H’レベルの電圧が印加されると、薄膜トランジスタ(101)がOFF状態になり薄膜トランジスタ(101)のソース電極の電圧が降下し、容量(103)に蓄えられていた電荷に対してOFF電流が流れ、放電を開始する。さらに、薄膜トランジスタ(101)と(102)のゲイト電極に‘L’レベルの電圧が印加されると、薄膜トランジスタ(101)と(102)がOFF状態になる。そして、個々の薄膜トランジスタ(101)と(102)のソース/ドレイン電極に印加される電圧は半分になるため、薄膜トランジスタ(101)のみがOFF状態の場合と比較してOFF電流が小さくなる。よって、薄膜トランジスタ(101)のみがOFF状態の場合より、容量(103)と画素セル(104)の放電量は小さくなる。

【0017】【実施例2】図1(B)は1個の画素セル(115)の一方の電極に薄膜トランジスタを3個接続したアクティブマトリクス型表示方式の例を示す。薄膜トランジスタはすべてNチャンネル型とするが、Pチャンネル型でも同様である。むしろ、低温形成の結晶性シリコン半導体を用いた薄膜トランジスタにおいては、Pチャンネル型の方が、OFF電流が小さく、劣化しにくいという特徴がある。2個の薄膜トランジスタ(111)と(112)はそれぞれ異なるゲイト信号線に接続される。1個の薄膜トランジスタ(113)は薄膜トランジスタ(112)と並列に接続される。また、薄膜トランジスタ(111)のソースは画像信号線に接続されている。

【0018】画素セル(115)と容量(114)は薄膜トランジスタ(112)のドレインに接続する。そして、画素セル(115)と容量(114)の他の電極は設置単位に接続すればよい。なお、画素セル(115)の容量が十分であれば、容量(114)はなくてもよい。

【0019】図1(B)の動作について説明する。まず3個の薄膜トランジスタ(111)と(112)と(113)のゲイト電極に‘H’レベルの電圧が印加され、前記薄膜トランジスタがON状態になる。そして、前記薄膜トランジスタ(111)のソースには画像信号に応じた電流が流れ、前記薄膜トランジスタ(111)のドレインに接続している薄膜トランジスタ(112)と(113)のソースからドレインに電流が流れ、容量(114)および画素セル(115)を充電する。

【0020】次に、薄膜トランジスタ(111)のゲイト電極に‘L’レベルの電圧が印加され、薄膜トランジスタ(112)と(113)のゲイト電極に‘H’レベルの電圧が印加されると、薄膜トランジスタ(111)

がOFF状態になり薄膜トランジスタ(111)のソース電極の電圧が降下し、容量(114)に蓄えられていた電荷に対してOFF電流が流れ、放電を開始する。さらに、薄膜トランジスタ(111)と(112)と(113)のゲイト電極に‘L’レベルの電圧が印加されると、薄膜トランジスタ(111)と(112)と(113)がOFF状態になる。そして、個々の薄膜トランジスタ(111)と(112)のソース/ドレイン電極に印加される電圧は半分になるため、薄膜トランジスタ(111)のみがOFF状態の場合と比較してOFF電流が小さくなる。よって、薄膜トランジスタ(111)のみがOFF状態の場合より、容量(114)と画素セル(115)の放電量は小さくなる。

【0021】この場合、薄膜トランジスタ(113)は薄膜トランジスタ(112)の冗長化には貢献しているが、並列に接続しているためOFF電流については効果はない。表示部分の高信頼性をはかる意味では、薄膜トランジスタ(111)に並列に接続するか、薄膜トランジスタ(111)と(112)の各々に並列に接続することも有効である。

【0022】【実施例3】 図1(C)は1個の画素セル(125)の一方の電極に薄膜トランジスタを3個接続したアクティブマトリクス型表示方式の例を示す。薄膜トランジスタはすべてNチャネル型とするが、Pチャネル型でも同様である。むしろ、低温形成の結晶性シリコン半導体を用いた薄膜トランジスタにおいては、Pチャネル型の方が、OFF電流が小さく、劣化しにくいという特徴がある。2個の薄膜トランジスタ(121)と(122)はそれぞれ異なるゲイト信号線に接続される。また、薄膜トランジスタ(111)のソースは画像信号線に接続されている。前記2個の薄膜トランジスタの間に常時ON状態の薄膜トランジスタ(123)を接続する。薄膜トランジスタ(123)を常時ON状態とするためには、画像信号等によって影響がほとんどないような十分高い正の電位を与えることが望ましい。

【0023】画素セル(125)と容量(124)は薄膜トランジスタ(122)のドレインに接続する。そして、画素セル(125)と容量(124)の他の電極は設置準位に接続すればよい。なお、画素セル(125)の容量が十分であれば、容量(124)はなくてもよい。

【0024】図1(C)の動作について説明する。まず2個の薄膜トランジスタ(121)と(122)のゲイト電極に‘H’レベルの電圧が印加され、前記薄膜トランジスタがON状態になる。そして、前記薄膜トランジスタ(121)のソースには画像信号に応じた電流が流れ、前記薄膜トランジスタ(121)のドレインに接続している常時ON状態の薄膜トランジスタ(123)は容量として機能し、充電を開始する。前記薄膜トランジスタ(123)は常時ON状態であるため、前記薄膜ト

ランジスタ(121)のドレインに接続している薄膜トランジスタ(122)と(123)のソースからドレインに電流が流れ、容量(124)および画素セル(125)を充電する。

【0025】次に、薄膜トランジスタ(121)のゲイト電極に‘L’レベルの電圧が印加され、薄膜トランジスタ(122)のゲイト電極に‘H’レベルの電圧が印加されると、薄膜トランジスタ(121)がOFF状態になり薄膜トランジスタ(121)のソース電極の電圧が降下し、常時ON状態の薄膜トランジスタ(123)に蓄えられていた電荷に対してOFF電流が流れ、放電を開始する。それから容量(124)に蓄えられていた電荷に対してOFF電流が流れ、放電を開始する。さらに、薄膜トランジスタ(121)と(122)のゲイト電極に‘L’レベルの電圧が印加されると、薄膜トランジスタ(121)と(122)がOFF状態になる。そして、個々の薄膜トランジスタ(121)と(122)のソース/ドレイン電極に印加される電圧は半分になるため、薄膜トランジスタ(121)のみがOFF状態の場合と比較してOFF電流が小さくなる。よって、薄膜トランジスタ(121)のみがOFF状態の場合より、容量(124)と画素セル(125)の放電量は小さくなる。

【0026】【実施例4】 図1(D)は1個の画素セル(135)の一方の電極に薄膜トランジスタを2個接続したアクティブマトリクス型表示方式の例を示す。薄膜トランジスタはすべてNチャネル型とするが、Pチャネル型でも同様である。むしろ、低温形成の結晶性シリコン半導体を用いた薄膜トランジスタにおいては、Pチャネル型の方が、OFF電流が小さく、劣化しにくいという特徴がある。2個の薄膜トランジスタ(131)と(132)はそれぞれ異なるゲイト信号線に接続される。また、薄膜トランジスタ(131)のソースは画像信号線に接続されている。

【0027】画素セル(135)と容量(134)は薄膜トランジスタ(132)のドレインに接続する。そして、画素セル(135)と容量(134)の他の電極は設置準位に接続すればよい。なお、画素セル(135)の容量が十分であれば、容量(134)はなくてもよい。

【0028】図1(D)の動作について説明する。まず2個の薄膜トランジスタ(131)と(132)のゲイト電極に‘H’レベルの電圧が印加され、前記薄膜トランジスタがON状態になる。そして、前記薄膜トランジスタ(131)のソースには画像信号に応じた電流が流れ、前記薄膜トランジスタ(131)のドレインに接続しているMOS容量(133)は充電を開始する。前記薄膜トランジスタ(131)のドレインに接続している薄膜トランジスタ(132)のソースからドレインに電流が流れ、容量(134)および画素セル(135)を

充電する。

【0029】次に、薄膜トランジスタ(131)のゲート電極に‘L’レベルの電圧が印加され、薄膜トランジスタ(132)のゲート電極に‘H’レベルの電圧が印加されると、薄膜トランジスタ(131)がOFF状態になり薄膜トランジスタ(131)のソース電極の電圧が降下し、MOS容量(133)に蓄えられていた電荷に対してOFF電流が流れ、放電を開始する。それから容量(134)に蓄えられていた電荷に対してOFF電流が流れ、放電を開始する。さらに、薄膜トランジスタ(131)と(132)のゲート電極に‘L’レベルの電圧が印加されると、薄膜トランジスタ(131)と(132)がOFF状態になる。そして、個々の薄膜トランジスタ(131)と(132)のソース/ドレイン電極に印加される電圧は半分になるため、薄膜トランジスタ(131)のみがOFF状態の場合と比較してOFF電流が小さくなる。よって、薄膜トランジスタ(131)のみがOFF状態の場合より、容量(134)と画素セル(135)の放電量は小さくなる。

【0030】〔実施例5〕本実施例は実施例1~4で示した回路の作製工程に関するものである。本実施例では、ゲート電極を陽極酸化することにより、オフセットゲートを構成し、OFF電流を低減することを特色とする。図6の(A)~(D)に本実施例の工程を示す。まず、基板(601)(コーニング7059、100mm×100mm)上に、下地膜として酸化珪素膜(602)を1000~5000Å、例えば、3000Åに成膜した。この酸化珪素膜の成膜には、TEOSをプラズマCVD法によって分解・堆積して成膜した。この工程はスパッタ法によって行ってもよい。

【0031】その後、プラズマCVD法やLPCVD法によってアモルファスシリコン膜を300~1500Å、例えば、500Å堆積し、これを550~600℃の雰囲気中に8~24時間放置して、結晶化せしめた。その際には、ニッケルを微量添加して結晶化を促進せしめてもよい。また、この工程は、レーザ照射によって行ってもよい。そして、このように結晶化させたシリコン膜をエッチングして、島状領域(603)を形成した。さらに、この上にゲート絶縁膜(604)を形成した。ここでは、プラズマCVD法によって厚さ700~1500Å、例えば、1200Åの酸化珪素膜を形成した。この工程はスパッタ法によって行ってもよい。

【0032】その後、厚さ1000Å~3μm、例えば、5000Åのアルミニウム(1wt%のSi、もしくは0.1~0.3wt%のScを含む)膜をスパッタ法によって形成して、これをエッチングしてゲート電極(605)、(606)を形成した。(図6(A))

【0033】そして、ゲート電極に電解溶液中で電流を通じて陽極酸化し、厚さ500~2500Å、例えば、2000Åの陽極酸化物を形成した。用いた電解溶液

は、L-酒石酸をエチレングリコールに5%の濃度に希釈し、アンモニアを用いてpHを7.0±0.2に調整したものである。その溶液中に基板を浸し、定電流源の+側を基板上のゲート電極に接続し、-側には白金の電極を接続して20mAの定電流状態で電圧を印加し、150Vに達するまで酸化を継続した。さらに、150Vの定電圧状態で、電流が0.1mA以下になるまで酸化を継続した。この結果、厚さ2000Åの酸化アルミニウム被膜(607)、(608)が得られた。

【0034】その後、イオンドーピング法によって、島状領域(603)に、ゲート電極部(すなわち、ゲート電極とその周囲の陽極酸化物被膜)をマスクとして自己整合的に不純物(ここでは磷)を注入し、N型不純物領域を形成した。ここで、ドーピングガスとしてはフォスフィン(PH₃)を用いた。この場合のドーズ量は1×10¹⁴~5×10¹⁵原子/cm²、加速電圧は60~90kV、例えば、ドーズ量を1×10¹⁵原子/cm²、加速電圧は80kVとした。この結果、N型不純物領域(609)~(611)が形成された。(図6(B))

【0035】さらに、KrFエキシマレーザ(波長248nm、パルス幅20nsec)を照射して、ドーピングされた不純物領域(609)~(611)の活性化を行った。レーザのエネルギー密度は200~400mJ/cm²、好ましくは250~300mJ/cm²が適当であった。この工程は熱アニールによって行ってもよい。このようにしてN型不純物領域が形成されたのであるが、本実施例では、陽極酸化物の厚さ分だけ不純物領域がゲート電極から遠い、いわゆるオフセットゲートとなっていることがわかる。

【0036】次に、層間絶縁膜として、プラズマCVD法によって酸化珪素膜(612)を厚さ5000Åに成膜した。このとき、原料ガスにTEOSと酸素を用いた。そして、層間絶縁膜(612)、ゲート絶縁膜(604)のエッチングを行い、N型不純物領域(609)にコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、エッチングしてソース電極・配線(613)を形成した。これは画像信号線の延長である。

【0037】その後、パッシベーション膜(614)を形成した。ここでは、NH₃/SiH₄/H₂混合ガスを用いたプラズマCVD法によって窒化珪素膜を2000~8000Å、例えば、4000Åの膜厚に成膜して、パッシベーション膜とした。そして、パッシベーション膜(614)、層間絶縁膜(612)、ゲート絶縁膜(604)のエッチングを行い、N型不純物被膜(611)に画素電極のコンタクトホールを形成した。そして、インディウム錫酸化物(ITO)被膜をスパッタ法によって成膜し、これをエッチングして画素電極(615)を形成した。(図6(C))

【0038】以上のような工程により、Nチャネル型薄

11

膜トランジスタ(616)、(617)を有するアクティブマトリクス回路素子が形成された。本実施例では図1(A)に示される回路と同じである。

【0039】

【発明の効果】以上、本発明に示したように、複数の薄膜トランジスタを接続することにより、画素電極を駆動する薄膜トランジスタのOFF電流を低減することができた。一般に薄膜トランジスタの劣化はソース/ドレイン間の電圧に依存するので、本発明を利用することにより、劣化を防止することもできる。

【図面の簡単な説明】

【図1】 本発明によるアクティブマトリクス回路素子例を示す。

【図2】 従来のアクティブマトリクス回路の概略を示す。

【図3】 薄膜トランジスタの $V_{GS}-I_D$ 特性を示す。

【図4】 従来のXシフトレジスタの回路構成と信号タイミングを示す。

【図5】 本発明によるXシフトレジスタの回路構成と信号タイミングを示す。

【図6】 実施例におけるアクティブマトリクス回路素子の製造工程を示す。

【符号の説明】

101、102 …… 薄膜トランジスタ
103 …… 容量
104 …… 画素セル

10

105、106

107

111、112、113

114

115

116、117

118

121、123

122

ON)

124

125

126、127

128

131、132

133

134

135

136、137

20

138

201

202

203

205

206

12

……ゲイト信号線

……画像信号線

……薄膜トランジスタ

……容量

……画素セル

……ゲイト信号線

……画像信号線

……薄膜トランジスタ

……薄膜トランジスタ(常時

……容量

……画素セル

……ゲイト信号線

……画像信号線

……薄膜トランジスタ

……MOS容量

……容量

……画素セル

……ゲイト信号線

……画像信号線

……薄膜トランジスタ

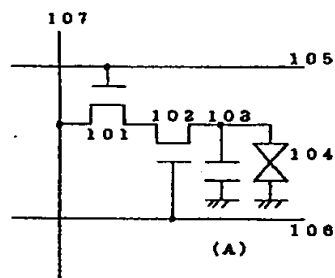
……容量

……画素セル

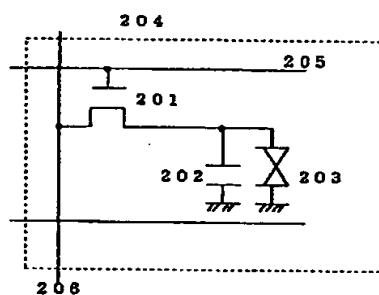
……ゲイト信号線

……画像信号線

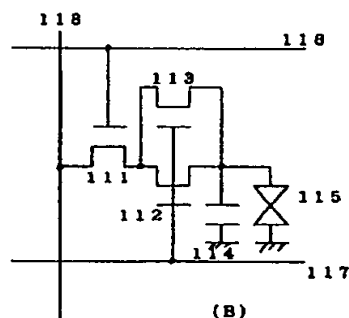
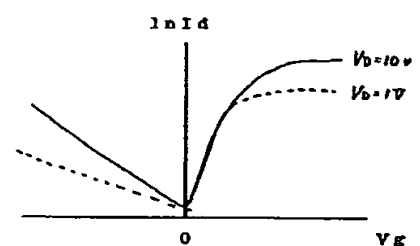
【図1】



【図2】



【図3】



【図4】

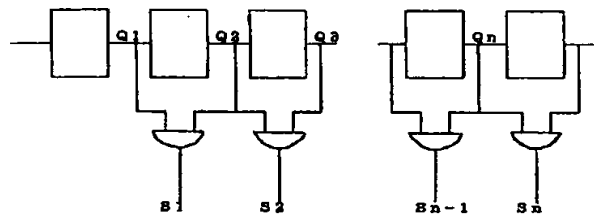


図4 (A)

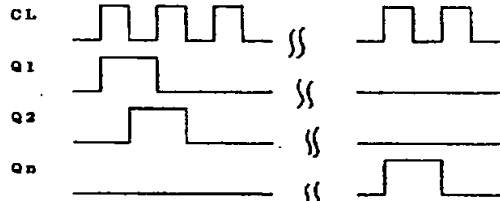


図4 (B)

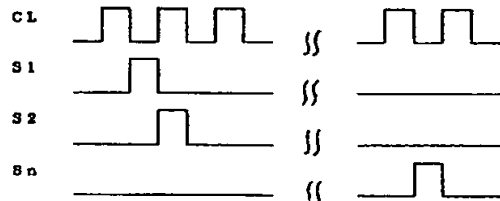


図4 (C)

【図5】

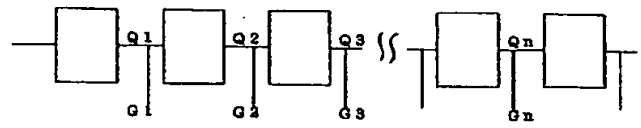


図5 (A)

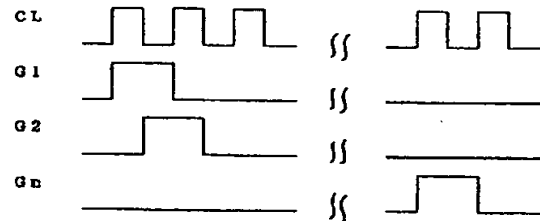


図5 (B)

【図6】

